

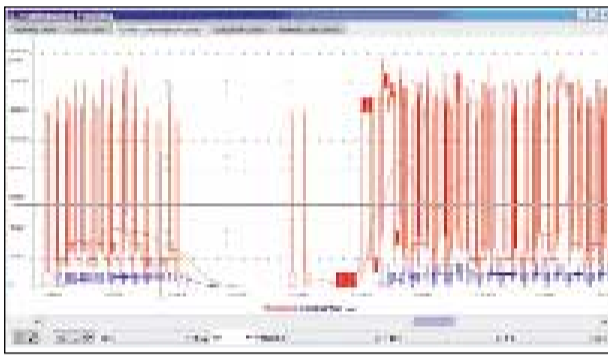
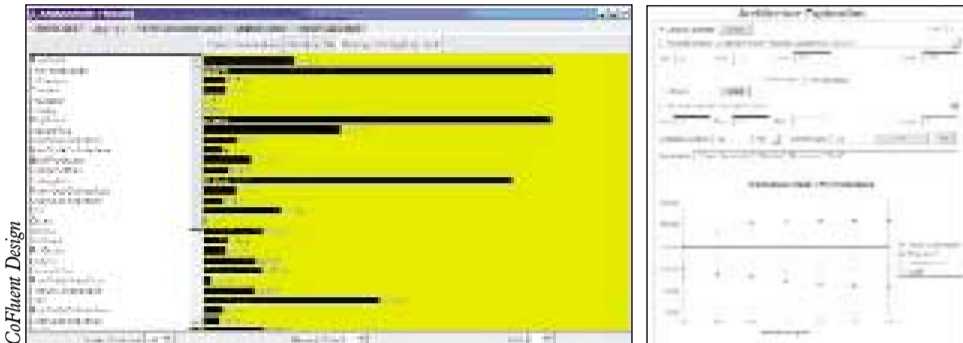
CAO

EN BREF

Un outil d'exploration architecturale va plus loin dans l'analyse

La version 1.1 de CoFluent Studio se dote de profils temporels pour permettre de dimensionner quatre critères principaux le plus tôt possible dans le flot.

Un an après l'introduction de son environnement de conception matérielle-logicielle (voir notre numéro du 27 novembre 2003), le Français CoFluent Design vient d'en étendre les fonctionnalités afin de prendre en compte les enrichissements issus de ses différents utilisateurs. « Plus de 80 % des décisions liées au choix de conception d'un système sont prises dans les premiers 20 % du cycle de développement de ce système. Là où le bât blesse, c'est que l'on connaît bien chaque élément saisi, mais pas l'ensemble d'une conception », rappelle Stéphane Leclercq, CEO de CoFluent Design. La version 1.1 de CoFluent Studio permet ainsi aux concepteurs de disposer à la fois d'une vue globale de leur système – le système lui-même et son environnement – et d'une vision détaillée. Cette dernière passe par la présence, au sein de CoFluent Studio for System Architecting^(*) (SA), de profils temporels pour différents indices de performances, à savoir le taux d'utilisation



CoFluent Studio 1.1 dispose d'un panneau de bord des performances globales d'un système (taux d'utilisation des ressources, consommation d'énergie, empreinte mémoire et coût) pour une architecture et un scénario de simulation donnés.

décomposition du système, du niveau local (pour un élément du système) au niveau global (du système complet). Si les parties élémentaires composant un système sont connues et modélisables sous CoFluent Studio for Timed-Behavioral Modeling^(*) (TBM), le comportement global du système est impossible à prédire sans simulation selon un ensemble de scénarios possibles. « La simulation du modèle SystemC généré par CoFluent Studio for SA permet de calculer et d'afficher automatiquement la valeur de chaque indice de performance au cours du temps, et ce pour tout élément de la hiérarchie du système et pour le système complet », explique M. Leclercq. CoFluent Studio permet ainsi d'obtenir des résultats de simulation et des valeurs de performance prospectifs couvrant un large spectre de critères de décision et garantissant de choisir la meilleure architecture.

Cédric Lardière ■

(*) Le Français a modifié l'offre produits de CoFluent Studio, qui se présente désormais selon deux formes, le package CoFluent Studio for

Timed-Behavioral Modeling (TBM) permettant de décrire un modèle de système indépendant de la plateforme matérielle, et le package

CoFluent Studio for System Architecting (SA) pour obtenir un modèle dépendant de la plateforme matérielle.

Synthèse de FPGA: les logiciels visent la haute qualité des résultats

Les algorithmes d'optimisation développés pour la dernière version de Synplify Pro en améliorent les performances de 10% en moyenne.

L'Américain Synplicity vient d'introduire la version 8.0 de son outil de synthèse pour les FPGA Synplify Pro. « Il s'agit d'une version majeure puisqu'elle résulte d'un développement important sur les algorithmes d'optimisation au niveau du mapping. Même si cela n'est pas évident au premier abord, l'amélioration des performances est à la hauteur de l'investissement, avec un gain de 10% pour le séquençage et de 10% à 15% en termes de surface »,

affirme André Chaurand, directeur des ventes pour l'Europe du Sud chez Synplicity. Hormis l'augmentation de la qualité des résultats, les différentes fonctionnalités supplémentaires de cette version 8.0 apportent également un gain de productivité. Cela passe par des interfaçages optimisés avec les outils de vérification par la méthode des preuves formelles (eCheck de Prover Technology et Conformal de Cadence Design Systems) – Synplify Pro 8.0 supporte le format VIF (verification interface file) –, ainsi qu'avec les outils de placement-routage d'Actel, d'Altera et de Xilinx.

Intégration de l'outil de débogage Identify

Parmi les autres fonctionnalités, l'outil de débogage du code source RTL, baptisé

Identify, est désormais directement intégré au sein de Synplify Pro et on notera l'apparition de la commande en Tcl "Find". Cette dernière permet de rechercher et d'accéder à des informations sur des éléments d'une conception, telles que la liste des circuits à verrouillage ou les attributs, en utilisant des expressions et des opérateurs. Citons, par ailleurs, la génération au format HTML du fichier en cours de synthèse, facilitant ainsi sa visualisation, et le support de certaines spécifications de SystemVerilog (appellation simplifiée des noms des connexions ".name", connexions implicites ".*" et état procédural "toujours"), en plus des langages HDL^(*).

C.L. ■

[*] Voir notre lexique page 20.

MOINS DE 1 500 DOLLARS POUR UN SYNTHÉTISEUR SYSTEMC!

La majorité des outils permettant de concevoir, déboguer et simuler matériels et logiciels écrits en C ou SystemC sont vendus des dizaines de milliers de dollars la licence annuelle, affirment les Britanniques Orange Tree Technologies et SystemCrafter. Ces deux sociétés viennent de proposer une solution ne coûtant que 1 490 dollars et comprenant un compilateur SystemC-VHDL, baptisé SystemCrafter SC et dont la licence annuelle seule est vendue 999 dollars, ainsi que la carte de développement de FPGA ZestSC1. Cette dernière, proposée par Orange Tree Technologies, intègre un FPGA Spartan 3 avec 1 million de portes de Xilinx, 8 Mo de mémoire Sram et une interface USB 2.0. C.L.

L'OFFRE EN VÉRIFICATEURS DE SÉQUENÇEMENT S'ÉTOFFE

L'Américain Avenant, éditeur de logiciels de vérification fonctionnelle statique et de protocole Amba, vient d'introduire un troisième outil, baptisé SolidTC, destiné cette fois à la vérification automatique des exceptions de séquençement. Il s'agit en fait des chemins erronés et des chemins à cycles multiples, qui, s'ils ne sont pas identifiés comme des contraintes, ralentissent l'exécution des outils de synthèse. A partir des fichiers de description en RTL et de contraintes au format SDC d'une conception, SolidTC est capable de travailler sur des conceptions de plusieurs millions de portes et manipuler des centaines de contraintes par heure. Une licence annuelle de SolidTC est vendue 40 000 dollars. C.L.

IDENTIFIER LES RISQUES D'ERREURS INDUITES DANS UN SYSTÈME SUR UNE PUCE

Le Franco-Américain iRoC Technologies vient d'introduire le premier élément de sa plate-forme de conception dédiée aux erreurs logicielles induites^(*). Il s'agit du logiciel SoCFit qui assure l'analyse de la probabilité d'apparition d'erreurs induites au sein d'un système sur une puce, aux niveaux de l'ensemble de la conception ou des blocs. Cet outil, qui accepte les listes d'interconnexions en Verilog, ne requiert aucune compétence spécifique de la part des concepteurs et s'insère directement dans les flots standards de conception en 130 nm existants. C.L. [*) Voir notre lexique page 20.

UN OUTIL 10 FOIS PLUS RAPIDE QUE LES SIMULATEURS FAST SPICE

Comme annoncé dans notre numéro du 13 janvier dernier, la jeune pousse américaine Nascentric vient d'introduire son premier logiciel, Nascim, un simulateur, au niveau transistor, 10 fois plus rapide que les outils Fast Spice disponibles sur le marché. Ce résultat est obtenu grâce à une architecture originale avec plusieurs moteurs d'analyse et à une approche de mesure directe de l'intensité et non via celle de la tension. La précision des résultats reste très proche de celle en simulation Spice (différence inférieure à 1%). Nascim est vendu environ 100 000 dollars. C.L.