

■ **COMPOSANTS**
**Les alimentations
modulaires se plient
aux besoins
des utilisateurs.**

p. 20

■ **COMPOSANTS**
**L'offre en câblage
de cuivre non blindé
à 10 Gbit/s explose.**

p. 21

■ **ARCHITECTURE**
**Plusieurs flux vidéo
au débit de 24 Mbit/s
peuvent être transmis
sur 10 m grâce à Mimo
"à la française".**

p. 22

■ **MESURE**
**Les oscilloscopes
à échantillonnage
atteignent la barre
des 100 GHz.**

p. 23

■ **PRODUCTION**
**La vérification de procédé
s'invite dans les
machines de report
de composants.**

p. 24

CIRCUITS NUMÉRIQUES

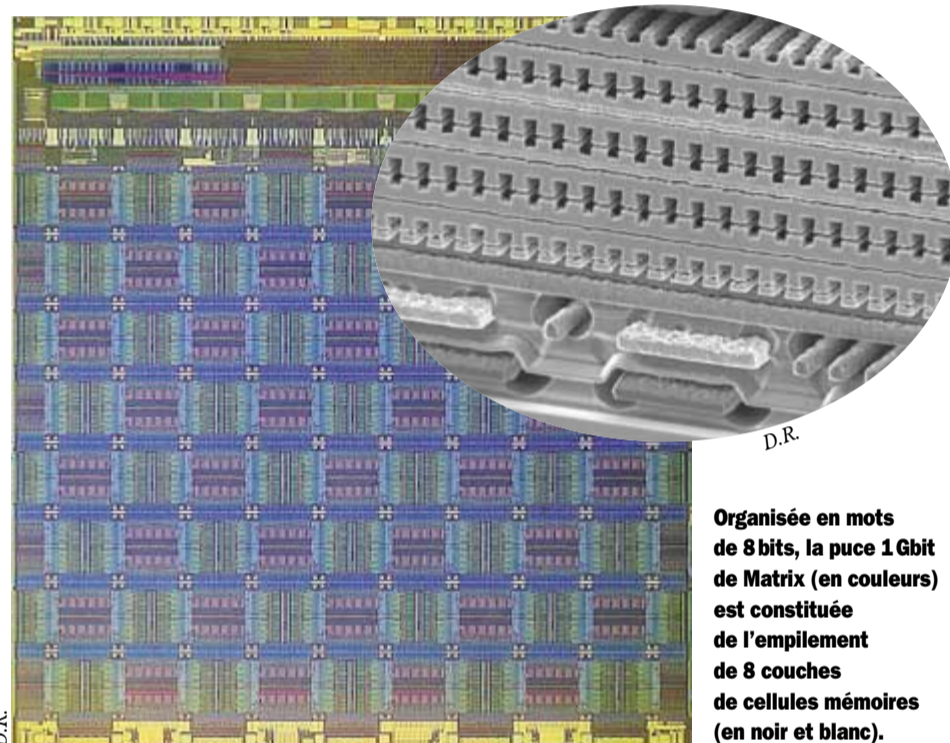
Record d'intégration en mémoire non volatile: 1 Gbit sur 31 mm²!

L'Américain Matrix Semiconductor double la taille de ses mémoires 3D programmables une seule fois tout en réduisant la taille de la puce.

La société américaine Matrix Semiconductor, à l'origine d'une technologie de mémoire intégrée en trois dimensions 3DM (voir notre numéro du 10 janvier 2002), vient d'introduire une mémoire programmable une seule fois d'une capacité de 1 Gbit et occupant une surface de silicium de seulement 31 mm². Il s'agit là de la plus petite mémoire de cette taille jamais fabriquée dans le monde. Mieux, elle a été réalisée dans une technologie Cmos logique, 0,15 µm à la base, compatible avec les procédés de production 0,18 µm. La petite société, qui avait présenté il y a un peu plus de deux ans une Prom 512 Mbits d'une surface de 48,5 mm² (1) constituée de l'empilement de 8 couches de cellules mémoires (2), a en effet mis au point une technique baptisée Hybrid Scaling.

Un procédé mixté 0,15 µm/0,13 µm

Cette technique permet par exemple d'utiliser un procédé de base Cmos 0,15 µm pour la partie logique (circuiterie de lecture et d'écriture notamment) et 0,13 µm pour les couches mémoires proprement dites. Grâce à cela, Matrix a pu réduire la taille des cellules mémoires (0,5 x 0,5 µm pour la Prom 512 Mbits) et ainsi doubler la taille de la



D.R.

D.R.

Organisée en mots de 8 bits, la puce 1 Gbit de Matrix (en couleurs) est constituée de l'empilement de 8 couches de cellules mémoires (en noir et blanc).

mémoire tout en diminuant la surface de la puce. Cette prouesse est également due à une modification de l'architecture de la mémoire elle-même. La société américaine fait ainsi désormais appel à une architecture à lignes de mot segmentées (Segmented Wordline), qui se traduit dans les faits par une réduction de 25% de la taille de la puce. L'association de ces deux techniques devrait lui permettre de doubler la capacité à surface de silicium donnée pour chaque nouvelle génération. La technique Hybrid Scaling sera appliquée aux

mémoires 128 Mbits, 256 Mbits et 512 Mbits actuelles de la société d'ici à la fin de l'année. Ces mémoires devraient, tout comme le modèle 1 Gbit, être échantillonnées dans le courant du trimestre.

Françoise Grosvalet ■

(1) Matrix a déjà livré plusieurs millions de ces mémoires fabriquées en fonderie par TSMC.

(2) Chaque cellule est constituée d'une anode et d'une cathode en silicium polycristallin séparées par un antifusible (voir notre numéro du 28 février 2003).

EN BREF

UNE TECHNOLOGIE FLASH DÉDIÉE À L'EMBARQUÉ

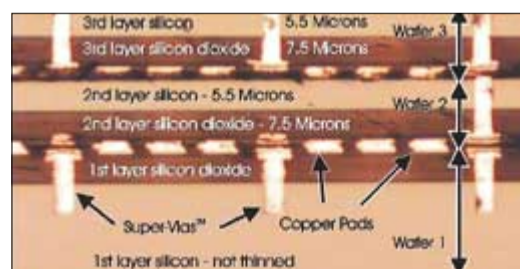
La société japonaise Toshiba a mis au point une technologie dédiée à l'intégration de mémoire flash dans les microcontrôleurs. Cette technologie, baptisée Nano Flash, combine les avantages des approches NAND et NOR de manière à rendre possible l'intégration de grande capacité à très faible consommation. Elle met en particulier en œuvre une cellule de type NAND (pour la densité d'intégration) et une circuiterie périphérique NOR (pour la facilité d'interfaçage avec le cœur de processeur). Une Nano Flash de 4 Mbits organisée en blocs de 1 Mbit consommerait ainsi 7 mA en lecture à 40 MHz avec une double alimentation 1,5 V/3 V (3 µA typique au repos). Le temps d'écriture serait de 0,3 s par bloc (0,1 s/bloc pour l'effacement). Le premier produit intégrant de la Nano Flash est un microcontrôleur 32 bits dont l'échantillonnage est prévu pour octobre sous la référence TMP19A43FDXBG. Ce circuit cadencé à 40 MHz intégrera 512 Ko de Nano Flash, 24 Ko de Ram, des convertisseurs analogique-numérique et numérique-analogique ainsi que différents blocs périphériques (contrôleur DMA, temporisateurs 16/32 bits, interface série,...). Son prix sera de 11,5 \$ par quantité de 1 000 pièces. F.G.

DES DRAM ENFOUIES EN CMOS 90 nm

Nec Electronics vient d'introduire une technologie MIM (métal isolant métal) pour l'intégration de mémoires Dram en Cmos 90 nm. Cette technologie, appelée MIM2, met en œuvre un diélectrique fort k en oxyde de zirconium (ZrO₂). Une bibliothèque de cellules Dram enfouies compatibles avec la famille de circuits précaractérisés 90 nm du Japonais sera disponible en septembre. F.G.

Des mémoires flash 3D intégrées en trois dimensions

Deux jeunes pousses américaines du type fabless, Tezzaron Semiconductor et PICC (Programmable Interconnect Circuit Company), viennent de décider d'associer leur savoir-faire pour créer des mémoires flash en trois dimensions. Tezzaron a en effet mis au point une technique d'empilement de tranches ouvrant la voie à des circuits intégrés 3D (3D IC), tandis que son compatriote détient, lui, des brevets sur une technologie flash à cellules mémoires verticales (Vflash), plus petites que les classiques cellules flash. En associant les deux, il devrait être possible de créer des mémoires flash beaucoup plus complexes que celles disponibles aujourd'hui et consommant moins. Ces mémoires



seront en principe commercialisées par PICC. Aucune date n'a été annoncée concernant leur arrivée sur le marché.

Jusqu'à 32 niveaux

Elle aussi brevetée, la technique de Tezzaron, appelée FaStack, permet d'empiler des tranches de 200 mm de diamètre face à face avec une précision de moins de 1 µm. Les interconnexions entre

les différents niveaux de circuits sont réalisées en cuivre (voir notre numéro du 20 mai 2004). Comme les tranches sont amincies à moins de 15 µm d'épaisseur (seule la première tranche est maintenue à une épaisseur normale de 730 µm pour servir de base à l'ensemble de l'édifice), il est possible d'envisager la création de circuits à 32 niveaux encapsulés dans un boîtier standard (3). La société américaine, qui dispose d'un bureau d'études à Singapour, a par ailleurs développé des cellules mémoires Ram rapides 3D (voir notre numéro du 17 février 2005). F.G. ■

(*) En théorie, la technologie de Tezzaron ouvre la voie à l'empilement de plusieurs centaines de tranches (pour plus de renseignements, voir le site www.tezzaron.com).

PHILIPS ET MICROSOFT VONT FACILITER LES ÉCHANGES ENTRE PC ET SYSTÈMES GRAND PUBLIC

Philips Electronics et Microsoft viennent de conclure un accord non exclusif à long terme pour faciliter le transfert de contenu numérique de loisirs entre des PC basés sous Windows et des produits grand public. Pour cela Philips va supporter les technologies Windows Media Audio et Video et Windows Media Digital Rights Management 10 (DRM) de Microsoft dans ses plateformes Nexperia pour récepteurs multimédias numériques, enregistreurs vidéo personnels, lecteurs audio portables, décodeurs TV IP, et visiophones. Le support de Windows Media dans des solutions Nexperia pour les applications automobiles suivra à la fin de cette année. F.G.