

## CIRCUITS NUMÉRIQUES

# Une alternative programmable économique aux CPLD et FPGA traditionnels

Avec sa famille de circuits MachXO, l'Américain Lattice Semiconductor, troisième fournisseur mondial du secteur, veut combler un vide entre réseaux logiques programmables traditionnels et prédiffusés programmables.

Après le FPGA sans compromis, le chaînon manquant ! Avec sa famille de réseaux logiques programmables MachXO, Lattice Semiconductor entend combler un vide existant dans le monde de la logique programmable entre CPLD[\*] et FPGA[\*]. Ces circuits économiques (le prix démarrera à 1,5 dollar en volume de 250 000 pièces dans le courant de l'année prochaine) associent en effet la non-volatilité des premiers aux capacités d'intégration et à la reprogrammabilité des seconds. Fonctionnels dès la mise sous tension, les MachXO entrent en concurrence directe avec les circuits ProAsic3 d'Actel. Les prix de ces derniers sont du même ordre de grandeur mais ils font, eux, appel à des cellules mémoires flash pour la programmation (voir *Electronique Internationale Hebdo du 27 janvier 2005*), alors que dans les circuits de Lattice ce sont des points Sram qui sont utilisés. Fabriqués en technologie Cmos 130nm par Fujitsu dans le cadre de l'accord liant les deux sociétés depuis un peu plus d'un an, ils permettront de remplacer trois circuits dans nombre d'applications : un CPLD, un FPGA et une mémoire Prom.

## Consommation au repos réduite d'un facteur 100

Les circuits MachXO se distinguent des CPLD traditionnels par l'intégration de mémoires et la possibilité de reprogrammation in situ, toutes caractéristiques qu'ils empruntent aux FPGA de la société. La mémoire est disponible soit dans des blocs séparés, soit enfouie dans les blocs fonctionnels. Les blocs Ram de 9 Kbits peuvent être configurés en simple port, double port, Fifo ou Rom avec une fréquence de 275 MHz. Des PLL analogiques seront par ailleurs disponibles sur les circuits les plus complexes. Les MachXO se font également remarquer par leur consommation au repos – grâce à un mode sommeil –, qui est



Une petite mémoire flash intégrée sur la puce permet de modifier la configuration du réseau logique programmable sans interrompre l'application.

inférieure à 100 µA, soit « 100 fois moins que les concurrents », affirme Lattice, ainsi que par de multiples options d'alimentation grâce à l'intégration d'un régulateur sur la puce : 1,2V, 1,8V, 2,5V ou 3,3V. La consom-

mation typique en fonctionnement est inférieure à 10 mA. Les cellules d'entrées/sorties flexibles permettent d'implanter les différents standards les plus courants, notamment LVCMOS, PCI et LVDS. Côté rapidité, la société

américaine annonce un temps de traversée "broche à broche" minimal de 3,5 ns. Comme les FPGA sans compromis de la société, les LatticeXP, les circuits MachXO font appel à des blocs logiques de base de type LUT (table de concordance) à 4 entrées.

## Reprogrammable en temps réel, sans interrompre l'application

Ils sont reprogrammables dans le système sans interrompre l'application grâce à la fonction TFR et à la mémoire flash intégrée sur la puce. Cette fonction permet en effet de programmer la flash pendant que le circuit continue de fonctionner normalement à partir de sa configuration contenue en Sram ; la nouvelle configuration peut ensuite être transférée au moment voulu en seulement quelques millisecondes (voir *Electronique Internationale Hebdo des 3 mars et 16 juin 2005*). La famille comportera quatre membres intégrant 256, 640, 1 200 ou 2 280 blocs logiques et de 78 à 271 entrées/sorties. Les deux plus petits sans blocs mémoires Sram mais avec respectivement 2 Kbits et 6,1 Kbits de mémoire distribuée sont d'ores et déjà échantillonnés. Les deux autres, qui intégreront 1 ou 3 blocs Sram de 9 Kbits ainsi que 6,4 Kbits ou 7,7 Kbits de mémoire distribuée, devraient l'être avant la fin de l'année. Lattice vient par ailleurs d'introduire une version à consommation au repos divisée par 1 000 de ses FPGA LatticeXP, à 120 µA en mode sommeil. La commutation dans ce mode se fait en quelques nanosecondes, le réveil ne prend que 2 ms. ■

FRANÇOISE GROVALET

[\*] Voir notre lexique page 64.

## LES AUTRES ACTEURS DU SECTEUR NE SONT PAS EN RESTE

→ Le numéro trois de la logique programmable n'a pas été le seul à profiter de la trêve estivale pour étoffer ses gammes de réseaux. Il a été suivi, voire précédé, dans cette voie par trois autres acteurs du secteur. A commencer par le numéro quatre, Actel.

### DES VRAIES FONCTIONS MIXTES DANS UN FPGA

→ Actel a ainsi dévoilé à la mi-juillet une technologie dite "Fusion", qui serait la première à doter les circuits mixtes analogiques et numériques d'une véritable possibilité de reprogrammation. Les circuits d'Actel, véritables systèmes programmables sur une puce, associeront pour cela FPGA, mémoire flash et fonctions analogiques. Les premiers modèles devraient être disponibles d'ici 6 à 9 mois.

### LE PLUS GROS FPGA ÉCONOMIQUE

→ Pendant l'été, Altera a introduit le plus gros des circuits de sa famille Cyclone II, un FPGA intégrant 68 416 blocs logiques, 1,1 Mbit de mémoire et 150 multiplieurs. Le numéro deux mondial de la logique programmable

a également dopé sa famille de FPGA hautes performances Stratix II avec des versions fonctionnant à 500 MHz.

### LA PLUS FAIBLE CONSOMMATION DU MARCHÉ EN GAMME MILITAIRE

→ De son côté, QuickLogic, le "petit poucet" du domaine, a annoncé la disponibilité en volume des FPGA les moins gourmands du marché en gamme de températures pour le militaire. Ces circuits de la famille Eclipse II ne consomment ainsi que 70 µA au repos à 125°C. Ils intègrent entre 47 000 et 420 000 portes.

### UN PROCESSEUR AVEC 400 000 PORTES PROGRAMMABLES

→ Signalons pour finir l'échantillonnage par STMicroelectronics du premier membre d'une famille de circuits systèmes sur une puce configurables par l'utilisateur. Ce circuit intègre sur une puce un processeur ARM cadencé à 192 MHz avec ses mémoires et certains périphériques, un CAN 16 bits 8 canaux et 400 000 portes de logique programmable.