

## CIRCUITS NUMÉRIQUES

# Les processeurs personnalisables de ST passent au 65 nm

Dotés de fonctionnalités enrichies, ces processeurs ARM à logique programmable embarquée visent notamment les périphériques informatiques.

**M**oins coûteux et plus simples à utiliser que des purs FPGA, les composants "semi-programmables" tels que les PSoC mixtes de Cypress Semiconductor ou les processeurs SPEAr de ST-Microelectronics ont conquis de nombreux marchés comme l'informatique où la pression des prix le dispute à d'incessantes évolutions technologiques. Imprimantes d'entrée de gamme, télécopieurs, cadres photo numériques, équipements de téléphonie sur IP : autant de systèmes visés par la dernière génération de circuits SPEAr (*Structure Processor Enhanced Architecture*) de ST, désormais portée en technologie Cmos 65 nm basse consommation.

## Jusqu'à 300 000 portes logiques équivalentes

«Le transfert de cette famille vers la filière 65 nm permet d'augmenter la densité et les performances des nouveaux modèles, tout en réduisant leur consommation d'énergie», justifie



STMicroelectronics

Loris Valenti, directeur général de la division chargée des périphériques informatiques chez ST.

La souplesse d'un Asic pour une fraction des délais de développement et des coûts inhérents à la conception d'un circuit spécifique, telle est la promesse des SPEAr. Ces systèmes sur une puce personnalisables sont architecturés autour d'un cœur Risc 32 bits ARM926EJ-S, cadencé à 333 MHz et

Un jeu complet d'accélérateurs graphiques permettent de renforcer les fonctionnalités des processeurs SPEAr au sein des systèmes d'imagerie et d'impression.

muni de mémoires cache de 16 Ko, et de cellules logiques programmables comptant jusqu'à 300 000 portes en équivalent Asic. Dotés d'une unité de gestion mémoire (MMU), ils s'avèrent compatibles avec Linux, VxWorks, ThreadX ou encore Windows CE. Un jeu complet d'accélérateurs graphiques permet d'en renforcer les fonctionnalités au sein des imprimantes : conversion d'espace cou-

leurs, génération de fichiers de trame, moteur de rotation, codec JPEG, contrôleur d'écran LCD (jusqu'en résolution 1024 x 768, 24 bits par pixel), interface pour cartes SDIO/MM, etc. Parmi les autres nouveautés apportées à ces modèles 65 nm, figurent un convertisseur analogique-numérique 10 bits, un accélérateur de cryptage basé sur le bloc de propriété intellectuelle C3 de ST (protocoles DES/3DES/AES/SHA1), un contrôleur Sram/Flash, des contrôleurs de liaison TDM et SLIC ou encore une interface caméra. L'utilisateur pourra choisir ses interfaces embarquées parmi un vaste portefeuille de blocs d'IP de connectivité : Fast-IrDA, MAC Ethernet, USB 2.0 avec couche PHY, UART, SPI, I<sup>2</sup>C... et jusqu'à 102 entrées/sorties à usage général.

Actuellement en cours d'échantillonnage, les SPEAr 65 nm seront disponibles en volume à la fin du troisième trimestre 2008. Leurs prix démarrent à 6 \$ pièce à partir de 20 000 unités. ■

FRÉDÉRIC RÉMOND

## CIRCUITS NUMÉRIQUES

# La technologie flash à charges piégées s'installe pour dix ans

Selon John Nation de Spansion, aucune autre technologie de mémoire non-volatile ne devrait venir concurrencer sérieusement la MirrorBit de l'Américain durant la décennie à venir.

**N**otre technologie de cellule mémoire à charges piégées, MirrorBit, est la meilleure technologie de mémoire non-volatile pour les dix années à venir», affirme John Nation, directeur du marketing corporate de Spansion. Contrairement aux technologies de mémoires flash NOR à grille flottante, cette technologie, dont l'une des grandes originalités est de rendre possible le stockage physique de deux bits par cellule mémoire (un seul dans les flash NOR SLC classiques), se prête en effet bien à la réduction homothétique en fonction des générations technologiques. Et, si elle fut un temps en retard d'une, voire plus, génération sur ces dernières,

cette époque est révolue. Spansion produit en effet désormais des flash MirrorBit en volume en technologie Cmos 65 nm sur tranches de 300 mm de diamètre et vient de démarrer les phases de développement en technologie 45 nm avec démarrage de la production en 2009. Le passage au 32 nm est, lui, prévu pour 2010.

## La technologie la plus prometteuse : le changement de phase résistive

Parmi toutes les technologies de mémoires en devenir, la plus prometteuse semble être la technologie à changement de phase résistive (RCM) mais cette dernière ne devrait pas être

« commercialement viable avant au moins une dizaine d'années », estime John Nation. L'un des intérêts de cette technologie est de se prêter aussi bien à la réalisation de mémoires non-volatiles que volatiles. Pour être parfaite, il lui faut encore prouver la faisabilité de structure MLC et ramener la taille de la cellule à 4 F2 où F est la dimension des règles de dessin, soit 65 nm dans la génération technologique la plus avancée actuellement en production, alors qu'aujourd'hui la taille d'une cellule RCM est de 12F2. Selon M. Nation, en 2010, la technologie MirrorBit aura encore un avantage de quatre en terme de taille de puce à procédé technologique donné. Et même en présu-

mant que la réalisation de structure MLC à changement de phase résistive sera possible, l'avantage serait encore de deux en faveur de la technologie à charges piégées. En prenant comme référence une cellule mémoire MirrorBit en technologie Cmos 32 nm (technologie qui devrait être disponible en 2010) ramenée à un bit, une cellule MirrorBit actuelle est trois fois plus grande en technologie Cmos 65 nm, et une cellule RCM SLC seize fois plus grande en technologie Cmos 90 nm. En 2010, le différentiel serait encore de 4,4 en technologie 45 nm.

La technologie n'est toutefois pas la seule corde à l'arc de Spansion : la société joue également sur les architectures et prépare pour introduction d'ici à la fin de l'année, des mémoires optimisées pour les serveurs et permettant de remplacer une grande partie des Dram, ainsi que des versions à interface DDR2 et d'autres directement concurrentes des NAND dans les mobiles. ■

FRANÇOISE GROVALET