

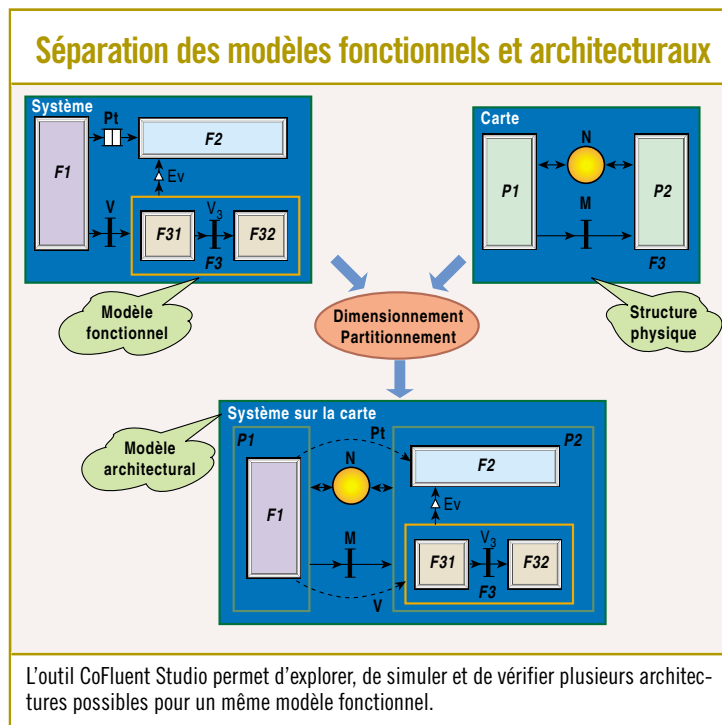
CAO électronique

# L'exploration à haut niveau de l'architecture d'un SoC ou d'un FPGA devient accessible

La jeune société française CoFluent Design propose avec CoFluent Studio un outil unique d'analyse et d'exploration de l'architecture d'un circuit, grâce à un modèle en SystemC décrit à un haut niveau d'abstraction.

Créée il y a moins d'un an, la société française CoFluent Design, avec son logiciel CoFluent Studio, s'insère dans la mouvance actuellement très active des sociétés qui travaillent sur les outils d'ESL (Electronic System Level), un des marchés parmi les plus prometteurs de la CAO. Cet outil unique assure l'exploration et la validation d'une architecture à un degré élevé d'abstraction, au niveau messages, au-dessus du niveau transactions, celui utilisé par exemple dans l'outil ConvergenSC de CoWare (*Electronique* n° 137, p.18). L'objectif de cet environnement est double : d'un côté, faciliter le travail d'exploration et de validation d'une architecture en testant facilement diverses hypothèses de dimensionnement et de partitionnement logiciel/matériel; de l'autre, générer un modèle de référence en C et/ou VHDL synthétisable. Selon Vincent Perrier, un des créateurs de la société, « le modèle ainsi créé et validé avec CoFluent Studio est exact à 5% près en termes de performance par rapport au circuit final, une estimation liée aux résultats que nous avons observés lors des phases de validation du produit chez STMicroelectronics, Thales ou EADS ».

La méthodologie utilisée dans CoFluent Studio s'appuie sur la



méthode MCSE (Méthodologie de conception des systèmes électroniques) (\*). Il s'agit d'une approche descendante qui part des spécifications d'un circuit jusqu'à sa réalisation sous forme d'un prototype, en créant à chaque niveau un modèle de plus en plus détaillé. Dans l'environnement CoFluent Studio, la première étape consiste à décrire les fonctionnalités de son système en faisant abstraction de l'implantation matérielle future. A ce stade, l'outil propose un éditeur graphique qui permet de décrire le modèle fonctionnel de son application, d'un point de vue logique. Cette représentation écrite en SystemC, sans que l'utilisateur n'ait à connaître la syntaxe de ce langage, est organisée sous forme de blocs qui intègrent des fonctions plus ou moins complexes (des algorithmes en C).

Ces blocs sont ensuite reliés entre eux par des mécanismes d'échanges de messages. Ce modèle, qui dès cette étape intègre des contraintes temporelles, est alors simulé, ce qui permet d'observer le comportement fonctionnel du système, avec la possibilité de vérifier la synchronisation des données.

## Un modèle architectural en SystemC entièrement simulé

La seconde étape consiste à choisir les éléments de son architecture matérielle. Il s'agit d'abstractions d'unités de traitement : des processeurs pour un traitement des fonctions purement logicielles, des FPGA ou des Asic pour un traitement des fonctions par le matériel, des structures de mémoire... Une fois réalisé ce choix des différents processeurs

avec leurs attributs, le logiciel réalise le partitionnement souhaité par l'utilisateur. On obtient alors un modèle architectural complet du circuit, dans lequel chaque fonction est traitée par une entité logique (processeur ou composants matériel).

L'ensemble est simulé avec des vitesses d'exécution élevées, de 100 à 1000 fois plus vite qu'avec un code RTL selon la société, et l'outil offre la possibilité d'avoir des mesures de performances de son système. Ceci grâce à un moteur de simulation SystemC, celui fourni par l'OSCI (Open SystemC Initiative), auquel CoFluent a rajouté des fonctions propres : un modèle de système d'exploitation temps réel qui émule les notions de préemptivité et de gestion multitâche d'une application; et un ensemble de fonctions d'instrumentation qui permettent à l'utilisateur d'avoir des informations précises sur le fonctionnement de son application, comme le temps CPU consommé, le taux de remplissage des mémoires, etc. Ce sont ces données qui permettent de remettre en cause telle ou telle décision d'implanter un algorithme en dur ou sous forme logicielle, d'utiliser deux processeurs au lieu d'un seul plus puissant, etc.

Ce modèle architectural est ensuite affiné en ajoutant des attributs supplémentaires aux unités d'exécution. A la fin, lorsque le modèle est bon, CoFluent Studio génère automatiquement la partie logicielle en code C, et la partie matérielle en code VHDL synthétisable.

FRANÇOIS GAUTHIER

(\*) Méthode développée au sein de l'université de Nantes, à partir des travaux du professeur Jean-Paul Calvez.

## Sous-systèmes

# Avec l'ExpressCard, place aux entrées/sorties à haut débit

Le comité PCMCIA a officiellement annoncé en septembre dernier que la PC Card aura comme successeur l'ExpressCard. A la clé, une taille plus petite et surtout une interface adaptée aux technologies PCI Express et USB 2.0.

Développée au sein de l'association PCMCIA (Personal computer memory card international association), la version 1.0 de la technologie ExpressCard est officiellement publiée depuis le mois de septembre. Elle porte sur une nouvelle génération de cartes périphériques extraplates de petit format, massivement utilisées dans les ordinateurs portables et de nombreux systèmes embarqués dans sa forme actuelle, la PC Card. Mais la version 8.1 de cette technologie atteint ses limites. En effet, avec son connecteur de 68 broches, le



La spécification ExpressCard 1.0 décrit deux facteurs de formes dotés chacun du même type de connecteur.

taux de transfert maximal supporté par la technologie PC Card est plafonné à 10 Mbits/s. Insuffisant pour gérer des connexions aux réseaux Gigabit Ethernet, une liaison 1394b (FireWire) ou autre lien rapide.

Pour tirer parti de ces nouvelles technologies, la spécification ExpressCard supporte les interfaces série rapides PCI Express et USB 2.0 de manière native. Le comité PCMCIA a pour cela travaillé étroitement, d'une part avec le PCI-SIG en charge des spécifications PCI Express et, d'autre part, avec l'USB Implementers

forum (tous deux soutiennent officiellement la spécification ExpressCard).

Les cartes ExpressCard USB seront plutôt dédiées à la gestion de réseau bas débit, comme Bluetooth, ou au stockage, alors que les cartes ExpressCard PCI Express seront adaptées au support des réseaux à bande passante élevée.

Cette spécification permettra aussi de tirer parti des nouveaux systèmes d'entrées/sorties à haut débit utilisant la technologie PCI Express dans des environnements compacts, puisque les dimensions physiques de l'ExpressCard sont nettement inférieures à celles de sa devancière : 34 mm de large contre 54 mm pour la PC Card. A noter cepen-

dant que le comité PCMCIA a aussi prévu un format plus large pour l'ExpressCard, 54 mm, comme la PC Card, pour ne pas se couper d'applications qui nécessitent de la place, comme les disques durs 1,8 pouce ou les lecteurs de cartes à puces. Les premières cartes conformes à cette nouvelle spécification sont attendues dans le courant du premier semestre 2004.

FRANÇOIS GAUTHIER

### Caractéristiques principales de la technologie ExpressCard

➔ Taille 34 x 75 x 5 mm ou 54 x 75 x 5 mm.

- Connecteur unique à 26 broches.
- Support de l'interface série USB 2.0 à 480 Mbits/s.
- Support de l'interface série PCI Express à 2,5 Gbits/s.
- Alimentation principale 3,3 V.

## DÉVELOPPEMENT

# Les outils de débogage irrésistiblement attirés vers Linux

En décidant de supporter le système d'exploitation Linux pour ses outils de débogage, Wind River admet implicitement le rôle majeur joué désormais par cet OS libre de droits sur le marché de l'embarqué.

Après avoir pendant des années jeté l'opprobre sur Linux, Wind River, en décidant d'assurer le support de ce système d'exploitation pour ses outils de débogage, en particulier VisionProbe II, prend un virage stratégique important. En effet, Wind River, en tant que fournisseur d'outils de développement indépendants de tout système d'exploitation (les outils dits « stand alone ») ne pouvait plus ignorer les millions d'utilisateurs de Linux dans les

applications embarquées. Rappelons que cette division outils de développement, issue de rachats successifs (notamment EST, en mars 2000), pèse environ 15% du chiffre d'affaires de la société (soit 30 M\$). Une récente étude de marché (Evans Data Corporation, mars 2003) montrait que, si plus de 50% des développeurs d'applications embarquées utilisent déjà ou vont utiliser Linux, seuls 20% d'entre eux estiment que les outils de développement

associés sont satisfaisants. Wind River a donc décidé de sauter le pas, et de proposer son outil VisionProbe II aux développeurs Linux. Cet ensemble matériel/logiciel réalise un débogage au niveau noyau (allocations mémoires, gestionnaire d'interruptions...) et supporte les points d'arrêt dans la mémoire virtuelle. Mais surtout il est capable d'assurer un débogage au niveau système, en donnant accès aux ressources de la cible

embarquée (mémoires, registres...) sans que l'OS y soit encore installé. A travers son interface parallèle, la sonde se connecte aux ressources de débogage du microprocesseur embarqué et assure un lien avec le logiciel installé sur la station hôte. Ensuite, grâce au lien Jtag intégré, VisionProbe II permet de télécharger l'image d'un noyau Linux sur la cible, sans avoir à développer du code spécifique.

FRANÇOIS GAUTHIER

Circuits programmables

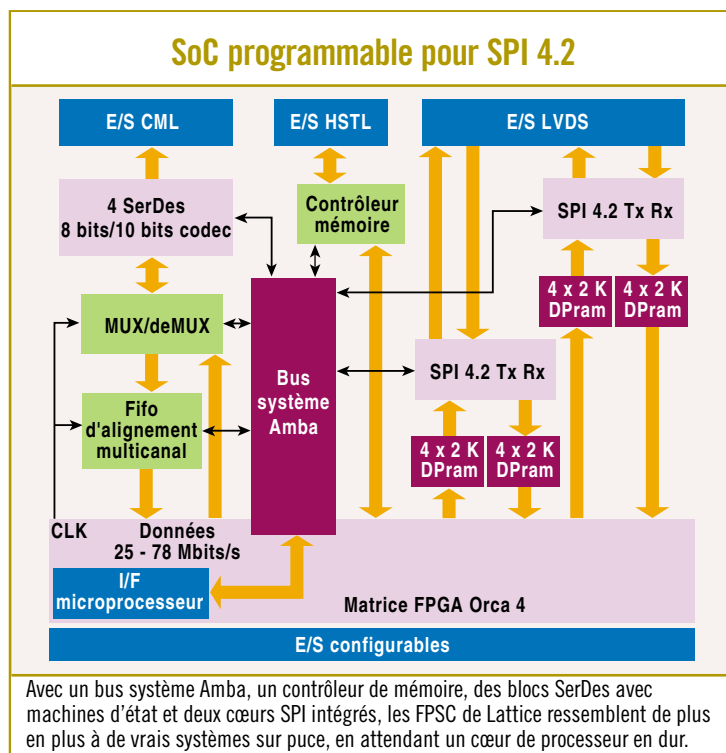
# Un système sur puce programmable pour cartes ligne SPI 4.2

Lattice ajoute une double interface SPI 4.2 à ses FPGA Orca, qui intègrent des cœurs SerDes 3,7 Gbits/s en dur et des machines d'état dédiées aux cartes télécoms, aux côtés d'une matrice reprogrammable volatile offrant ici plus de 16000 LUT.

Une offre en circuits reprogrammables doit se justifier par de sérieux différenciateurs lorsque l'on ne s'appelle pas Xilinx ou Altera. Chez Lattice, c'est l'intégration de fonctions en blocs figés ciblant le marché des télécommunications qui caractérise sa famille Orca (*Electronique* n°130, p.18 et n°136, p.22). Avec son circuit ORSPI4, la société entend simplifier l'intégration de l'interface SPI dans les cartes ligne assurant la convergence des réseaux voix/données. Publiée en 2001 par l'OIF (Optical networking forum), SPI 4.2 permet en effet d'agréger la transmission de différents protocoles haute vitesse à débits variables tels que POS (Paquets sur Sonet/SDH), OC-192, Ethernet (10) Gigabit, Fibre Channel. Le nouveau composant propose ainsi différentes configurations de blocs de conversion parallèle série SerDes et d'interfaces SPI (tableau).

## Simplifier l'intégration

En disposant de la fonction SPI en dur, l'utilisateur est certain de la performance et de la consommation des blocs (2x3,5W max.), et de la quantité de cellules logiques programmables qui resteront à sa disposition. Traditionnellement, l'intégration de cette interface sous forme de bloc synthétisable (relativement) prêt à l'emploi dans un FPGA clas-



sique risque fort d'impliquer de sévères contraintes de timings, dans la mesure où un tel lien synchronisé sur la source transporte une horloge DDR à une cadence minimale de 311MHz. Les ressources à investir dans la gestion des temps de propagation ne sont pas vraiment compatibles avec les délais de développement, d'autant plus que le routage de la carte ajoutera sa propre gigue différentielle. Avec le circuit ici proposé, l'utilisateur peut envisager à la réception l'exploitation du bus 16 bits cadencé en mode DDR jusqu'à 350MHz dans le cas d'une gestion statique des timings. Le débit

est ainsi de 700Mbits/s par ligne LVDS connectable à chaud, avec terminaisons intégrées. Une gestion dynamique des délais entre les pistes, jusqu'à une unité d'intervalle d'avance ou de retard, porte la fréquence du bus à 450MHz. Ce mode s'étalonne par l'activation d'une séquence d'adaptation intégrée et générée périodiquement, selon les paramètres définis à la programmation du composant. La matrice FPGA est connectée aux blocs par l'intermédiaire de mémoires tampon configurables (figure). Celles-ci sont prévues pour amortir le trafic SPI servant jusqu'à 32 ports logiques. Les

interfaces intègrent cependant des tables calendaires gérant le séquençage du maximum de 256 ports prévu par la spécification de l'OIF; une mémoire externe sera alors utilisée par le biais du contrôleur rapide intégré.

## Une interface Sram QDR II et PowerPC

Toujours dans le but de décharger le concepteur du travail d'implantation des fonctions sans grande valeur ajoutée, les FPSC ORSPI4 intègrent le contrôleur pour mémoire Sram externe, permettant une fois de plus de garantir le débit minimal de 20Gbits/s nécessaire pour servir les deux ports SPI. Cela se fait au moyen de deux liaisons 36 bits unidirectionnelles à la fréquence de 200MHz, par rafales de deux ou quatre mots. L'adressage sur 18 bits supporte 18 Mbits de Sram.

La matrice FPGA offrant 16000 éléments logiques est aussi dotée d'une interface pour le bus Motorola PowerPC 860, configurable pour une largeur de 8, 16 ou 32 bits. Elle peut être utilisée pour la gestion de la configuration du composant, au travers du bus système compatible avec la spécification Amba AHB 2.0 d'Arm. Le paramétrage des blocs embarqués est aussi susceptible de s'effectuer par l'écriture dans des registres du FPGA, à même d'être interfacé au bus système en tant que maître ou esclave. La configuration par le traditionnel port Jtag est naturellement supportée.

Avec l'intégration d'autant de fonctions spécifiques sur un FPGA, la gamme Orca de Lattice se rapproche de plus en plus de l'Asic système sur puce, en technologie 0,15µm, avec bloc personnalisable in-situ, à un prix unitaire de 250\$ pour 10000 pièces.

JEAN-FLORENT HELIE

## Différentes configurations disponibles

Boîtier (pas de 1 mm)	E/S FPGA	SPI 4.2	SerDes full duplex 0,6 à 3,7 Gbits/s
fpBGA 1156 billes	356	2	0
fpSBGA 1036 billes (caract. thermiques améliorées)	498	2	4 (indisponibles si les deux blocs SPI sont utilisés).

Circuits logiques

# Des portes logiques à ultrabasse consommation pour les applications portables

La nouvelle famille de circuits logiques introduite par Texas Instruments offre la plus faible consommation de l'industrie, au plus grand bonheur des appareils alimentés sur batterie.

Les circuits logiques standard consomment certes peu, mais encore excessivement lorsqu'ils sont mis en œuvre dans les systèmes portables, où soigner l'autonomie de la batterie est une priorité. Tel est le constat formulé par Texas Instruments, qui estime en particulier que la consommation de ces seuls éléments intervient jusqu'à une hauteur de 7% de la puissance totale absorbée en mode veille. Et pour y remédier, la société vient d'introduire une famille de circuits logiques Cmos, baptisée AUP (Advanced ultra low power), à ultrabasse

consommation : soit tout au plus 0,9µA en régime statique. Vis-à-vis d'une famille logique basse tension 3,3V conventionnelle (LVC voire AUC), les gains affichés sont importants : près de 91 et 83% en modes statique et dynamique respectivement, sans sacrifices sur la vitesse et l'intégrité des signaux. Par rapport à une autre famille comme ULP (Ultra low power), l'écart reste néanmoins plus modeste, puisque TI fait état d'une autonomie de batterie accrue de 30% pour le seul nœud 3,3V.

## Un temps de propagation de 2 ns à 3,3V

Les circuits AUP supportent une tension d'alimentation comprise entre 0,8 et 3,6V, ce qui leur permet de s'interfacer avec les processeurs de dernière génération. Les temps de propagation sont typiquement de 2 ns à 3,3V et de 3 ns à 1,8V. Quant aux capaci-



Avec les circuits logiques de la famille AUP, l'autonomie de la batterie est prolongée d'au moins 30%, selon Texas Instruments.

tés d'entrée et de sortie, elles sont de 1,5 et 3 pF respectivement. Pour minimiser les phénomènes d'IEM, les fronts des signaux de sortie sont contrôlés. Dans l'immédiat, cinq circuits sont échantillonnés en boîtier SOP : une porte And à deux entrées (74SNAUP1G08) et di-

verses portes logiques configurables (74SNAUP1G57/58 et 74SNAUP1G97/98) en And, Nand, Or, Nor, Xnor, inverseur ou buffer. Tous devraient ultérieurement passer au format miniature WCSP (Wafer chip scale package).

PHILIPPE CORVISIER

## COMPOSANTS OPTOÉLECTRONIQUES

# La Del bleue affiche un profil bas

Très en vogue dans les applications de rétroéclairage des claviers, boutons-poussoirs et afficheurs LCD des radiotéléphones et des assistants personnels, la Del bleue doit se montrer discrète sans que les performances pâtissent de sa miniaturisation. Tel est le défi relevé par Fairchild Semiconductor avec sa diode électroluminescente QTLP603C-EB. Celle-ci est encapsulée dans un boîtier 0603, dont les dimensions sont de 1,6 x 0,8 mm pour une épaisseur de 0,35 mm seulement. A comparer avec une Del classique au format 1608 dont la hauteur est de 0,55 mm, ce que proposait par



ailleurs Fairchild auparavant avec la série QTLP611C-EB. Ce recours au boîtier 0603 n'est, précisons-le, pas inédit puisque d'autres fabricants

Outre par ses faibles dimensions, la Del CMS de Fairchild est caractérisée par une tension directe n'excédant pas 3,15V.

(Sharp, Rohm...) l'ont adopté pour le même type de produit. Ce qui l'est davantage ce sont les performances associées. Dans un large angle d'émission de 120°, cette diode InGaN sur substrat saphir délivre en effet une intensité lumineuse évoluant entre 20 et 25 mcd pour un courant de 5 mA et à 25°C. Quant à la tension directe, elle est suffisamment

basse pour être signalée : entre 2,75 et 3,15V. Enfin, les courants continu et crête max. sont respectivement de 30 mA et 100 mA, avec dans ce dernier cas un train d'impulsions à la fréquence de 1 kHz et de rapport cyclique 10%. Ce composant exempt de plomb en boîtier étanche à l'humidité est conforme à la norme IPC/Jedec J-STD-020B, ainsi qu'avec les directives de l'Union européenne qui entreront en vigueur en 2005. Elle est dès maintenant disponible en volume au prix de 0,35 \$ l'unité, par commande de 10 000 pièces.

PHILIPPE CORVISIER