

CAO électronique

# Les domaines de l'ESL et du DFM ont animé les débats lors de la Dac

*Sur un marché relativement atone, les acteurs de la CAO cherchent de nouveaux vecteurs de croissance: les domaines de la conception au niveau système (ESL) ou de la conception en vue de la fabrication (DFM) pourraient jouer ce rôle. Mais c'est au cœur des flots avec les outils de vérification et de synthèse que les annonces sont encore les plus nombreuses.*

Cette année, aucune annonce importante en termes de technologie ou de rachat n'a véritablement marqué l'édition 2005 de la Dac, qui s'est tenue en juin dernier à Anaheim en Californie.

Côté produits, les grandes sociétés du secteur avaient en effet préféré planifier leurs introductions majeures les mois précédant la manifestation. Pour Synopsys, on citera les sorties en mai de son outil de synthèse physique IC Compiler (*Electronique* n°158, p.12), puis de son nouvel outil de synthèse logique (voir p.20). Chez Mentor, l'actualité principale était liée au lancement de son environnement de vérification Questa (*Electronique* n°159, p.16) et des évolutions de son outil de synthèse comportementale Catapult C. Enfin, chez Cadence, l'actualité était moins fournie, mis à part son nouvel outil de vérification statique à base de preuve formelle (*Electronique* n°159, p.16).

Les analystes attendaient donc avec intérêt la conférence de presse de la société en début de salon, notamment pour ce qui concerne le devenir des solutions de vérification de Verisity, racheté à la fin de l'année 2004 (*Electronique* n°155, p.30). Moshe Gavrie-



lov, l'ancien CEO de Verisity, désormais en charge de la nouvelle division Vérification de Cadence, expliquait à cette occasion que «*la complexité actuelle des circuits pose de redoutables problèmes de vérification, qui ne peuvent être résolus que par l'adoption de nouvelles méthodologies au niveau de l'entreprise, et par le rapprochement des ingénieurs de conception et de vérification au sein des équipes*». A travers une initiative baptisée VPA d'entreprise (Verification process automation), la société annonçait ainsi qu'au sein de la plate-

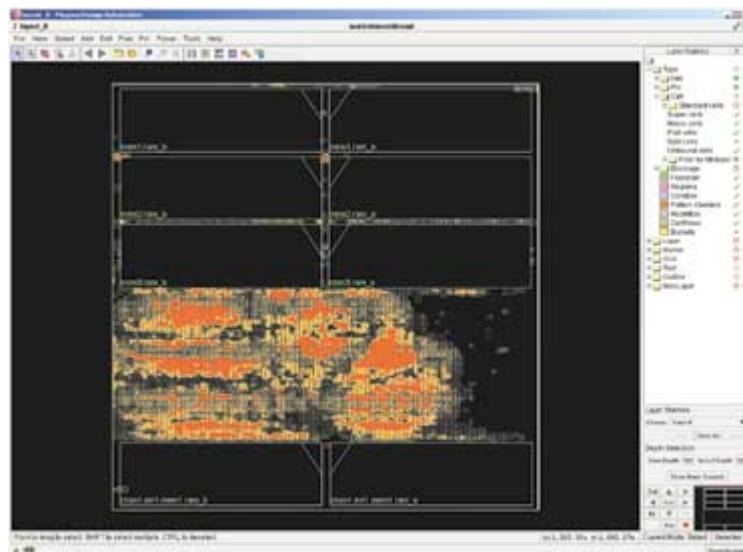
forme de vérification Incisive, produits et méthodologies de Cadence et de Verisity seront étroitement couplés: on retrouvera notamment le logiciel de planification à base d'analyse de métriques vManager, l'outil d'automatisation des testbenches Specman Elite et l'accélérateur matériel Xtreme de Verisity associés au simulateur unifié de Cadence. Côté langage, l'actuel numéro un mondial de la CAO électronique affichait sans ambiguïté son engagement à supporter au sein de l'environnement Incisive à la fois les langages Sys-

temVerilog et SystemC mais aussi le langage «e», inventé par Verisity pour les besoins spécifiques de la vérification. Concernant ce dernier, sur l'avenir duquel nombre d'utilisateurs avaient des craintes, Cadence annonçait en outre qu'il soutenait activement le processus de finalisation de sa normalisation auprès de l'IEEE, un gage certain pour sa pérennité.

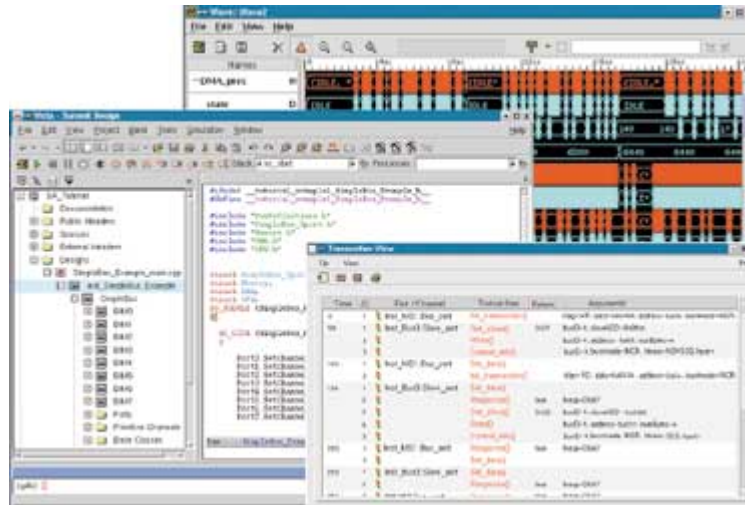
## L'ESL sous les feux de la rampe

Cependant, l'absence d'annonces phares n'a pas empêché le salon d'être très animé autour de plusieurs thèmes, au rang desquels les évolutions des outils et des méthodes de conception au niveau système (l'ESL, Electronic system level) se sont taillées la part du lion. Ainsi plusieurs débats, sessions techniques et réunions d'experts autour de ce thème ont ponctué le salon. Pour la plupart des observateurs, c'est en Europe et au Japon que les méthodologies de développement au niveau système sont actuellement les plus avancées.

**La prise en compte d'informations sur la fabrication pendant les phases de conception devient une obligation (doc. Magma).**



**L'environnement Vista de débogage de modèles écrits en SystemC de Summit Design offre aux utilisateurs plusieurs niveaux de visualisation des fautes détectées.**



Cependant, malgré les perspectives de croissance annoncées régulièrement par les sociétés d'analyse (comme Gartner Dataquest qui estime que le montant global des outils d'ESL devrait passer des 200 M\$ actuels à plus de 1,6 milliard en 2009), le marché tarde à décoller. Plus inquiétant, lors d'un débat, Soo Kwan Eo, vice-président de Samsung Electronics, indiquait que « du fait de l'absence d'outils adaptés sur le marché, Samsung a réduit son budget d'achat de logiciels d'ESL pour augmenter ses budgets de développement d'outils en interne ». Même son de cloche chez STMicroelectronics, où les plateformes de développement au niveau système sont encore largement dominées par des outils créés en interne. L'idée générale

qui s'est dégagée des discussions est qu'il n'existe toujours pas sur le marché de flot ESL à proprement parler, mais une somme d'outils ponctuels qui réalisent certes des fonctions utiles, sans liens réels entre eux. En dépit de ces difficultés, les choses évoluent, notamment au niveau de la normalisation des techniques. Ainsi, sur le salon, l'OSCI (Open SystemC Initiative)

annonçait qu'il versait le LRM (Langage reference manuel) de la version 2.1 du langage SystemC à l'IEEE pour une normalisation en bonne et due forme. Parallèlement, cet organisme indépendant publiait pour la première fois un standard de modélisation au niveau transactions pour le langage SystemC (SystemC transaction-level modeling). Une avancée qui devrait notamment

permettre aux développeurs de blocs de propriétés intellectuelles d'écrire des modèles de haut niveau utilisables par d'autres utilisateurs avec leurs outils habituels de CAO.

Côté offre produits, Summit Design annonçait sur le salon la sortie de Vista 1.1, un environnement d'analyse et de débogage de modèles écrits en SystemC, avec notamment un outil d'observation visuelle du comportement des transactions, susceptible d'être mis en œuvre avec n'importe quel simulateur SystemC. Pour sa part, CoWare proposait la technologie CORexpert qui permet aux développeurs de logiciels de créer des instructions particulières pour un modèle de processeur et de générer l'ISS (Instruction set simulator), afin d'en améliorer les performances pour une application précise. Le modèle pour les processeurs Mips 24K Pro est d'ores et déjà disponible. Le français CoFluent Design dévoilait, lui, les évolutions de son outil CoFluent Stu-

## DAC 2005

# La Dac maintient son statut de rendez-vous incontournable de la CAO

*Avec plus de 10000 visiteurs et un cycle de conférences très fourni, la Dac reste un événement annuel majeur pour le monde de la CAO. Même si pour la première fois, un des grands éditeurs, en l'occurrence Cadence, a agité le spectre de sa non-participation à l'événement.*

**A**vec une affluence globale de 10 300 visiteurs cette année, la Dac maintient ses résultats de l'an dernier, qui s'étaient établis à 10 400 visiteurs (nous annonçons 11 000 dans notre compte rendu de septembre 2004, mais depuis les chiffres ont été légèrement revus à la baisse). Cette affluence est encourageante surtout si l'on note que le nombre de visiteurs hors exposants s'est établi à 6 104 visiteurs, en hausse de 2,4% par rapport à l'édition 2004 (5 900 visiteurs). Côté exposants, on dénombrait 240 sociétés, un chiffre en forte augmentation par rapport à 2004 où elles étaient 220.

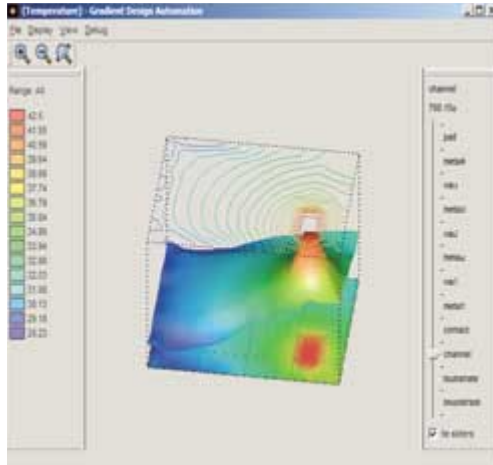


Parmi elles, 60 étaient présentes pour la première fois, dont par exemple la société française Edxact (focalisée sur une solution d'accélération de l'extraction de parasites). Une preuve à la fois de l'attrait de la manifestation et du dynamisme du secteur au

niveau de la création de jeunes sociétés. Seules ombres au tableau, l'attitude pour le moins ambiguë de Cadence qui, dans un premier temps, avait menacé de ne pas participer à cette édition et, dans une moindre mesure, celle de Synopsys qui avait décidé de réduire fortement la superficie de son stand. Finalement, Cadence s'est résolu à prendre un petit stand (un « nano stand » plaisantaient les visiteurs) tout en déviant une partie de ses contacts vers les salons d'un

hôtel voisin, réservés pour l'occasion. Un pied dehors, un pied dedans, Cadence devra sans doute clarifier sa position pour les prochaines éditions de la Dac. Concernant les conférences, plus de 700 papiers étaient soumis cette année au comité d'organisation qui en a retenu 200. Trois thèmes majeurs étaient à l'honneur : les conceptions au niveau système, le DFM et les méthodologies de conception des circuits basse consommation. Pour sa prochaine édition, la Dac fera escale à San Francisco et se tiendra à une date plus tardive que d'habitude, du 24 au 28 juillet 2006. ■

**Le logiciel FireBolt de Gradient System est le premier logiciel du marché à fournir une analyse thermique statique d'un circuit à partir des informations électriques issues des fichiers de conception. L'approche est très utile pour traquer les zones de fuites de courant, de chutes de tension ou d'électromigration.**



dio dédié à l'exploration architecturale d'un circuit au niveau matériel et logiciel. Convaincus du potentiel de cet outil utilisé très en amont d'un cycle de développement, les sociétés EADS et Airbus ont d'ailleurs annoncé la signature d'une convention de partenariat avec CoFluent pour soutenir le développement de sa solution.

En ce qui concerne les outils de synthèse comportementale, Forte Design montrait son outil Cynthetiser, choisi notamment par Oki et Epson pour leurs prochaines générations de SoC. Quant à son concurrent direct sur ce créneau, le produit Catapult C de Mentor Graphics, il s'enrichit de nouvelles fonctions très importantes, notamment la possibilité de générer automatiquement à partir d'un code C, outre le RTL synthétisable, un modèle de plus haut niveau écrit en SystemC, basé sur les transactions. Signalons enfin dans ce domaine de l'ESL la montée en puissance d'Arm en tant que fournisseur à part entière d'outils de CAO avec son logiciel RealView.

**Le DFM: nouvel «eldorado» de la CAO?**

Autre thème majeur aujourd'hui en CAO: le DFM (Design for manufacturing), c'est-à-dire les méthodes et outils de conception qui intègrent des contraintes propres à la production. A l'origine de cette tendance, le développement des technologies nanométriques pour lesquelles il n'est plus possible d'ignorer en amont les problèmes liés à la production, sous peine d'obtenir pour un circuit des rendements en fabrication très faible. Sur ce secteur, on note l'émergence de nombreuses jeunes sociétés qui ont profité de la

pour montrer leurs solutions. Signalons Aprio et sa suite Halo (*Electronique* n°158, p.14); ChipMD avec son outil Design MD pour les circuits mixtes; Ponte Solutions qui propose notamment une approche par modélisation statistique d'une conception afin de prédire le rendement en fabrication; Brion Technologies qui lançait sur le salon son produit Tachyon, un simulateur avec accélération matérielle pour la modélisation et la vérification du modèle du circuit au niveau de la lithographie; l'allemand Sigma-C qui commerciale avec Solid+ un outil de modélisation logicielle de la lithographie; ou encore le français Xyalis dont le logiciel permet de gérer la densité de métal nécessaire sur un circuit au moment de sa fabrication.

A noter que contrairement à l'ESL, domaine dans lequel, à l'exception de Mentor, les grands éditeurs comme Synopsys et Cadence sont quasiment absents, le DFM est jugé stratégique par ces leaders qui proposent une panoplie d'outils et de méthodes

logies. Quant à Magma, la société présentait dans le cadre de son initiative Cobra (*Electronique* n°159, p.14) les premières démonstrations de sa technologie Blast Yield, destinée à optimiser le rendement en fabrication d'une conception de manière concurrente avec les délais, la consommation et la surface du circuit pendant la phase de synthèse physique. Une des originalités du produit est de réaliser en parallèle, durant cette étape, une simulation

des calculs d'OPC (Optical proximity correction) sur les portions de circuits qui posent problème.

## La vérification, toujours au cœur des préoccupations

Au-delà de ces deux domaines en évolution, au cœur des flots classiques les problèmes liés à la vérification des circuits sont toujours aussi cruciaux. Les méthodes formelles poursuivent leur progression et sont de plus en plus fréquemment utilisées par les concepteurs. L'américain Jasper Design introduisait la version 4.0 de son outil JasperGold qui supporte désormais le langage de programmation d'assertions PSL. Real Intent, de son côté, présentait sa famille Verix, dotée de possibilités d'analyse formelle du réseau d'horloge d'un circuit, et son récent outil Pure Time d'analyse des « timing exceptions » (fichiers de délais rajoutés manuellement en cours de conception).

De son côté, la société française TransEDA annonçait sur le salon son outil d'analyse de couverture

de code Assertain, qui fournit désormais quatre différents jeux de métriques. L'objectif ici est de connaître à tout moment où l'on en est dans son travail de vérification, en particulier au niveau des assertions. Le langage SystemVerilog est d'ores et déjà supporté, et le langage PSL est prévu pour décembre prochain. Quant à la société Atrenta, elle montrait son nouvel environnement de développement 1Team, destiné aux développeurs de SoC, dont un des objectifs est d'améliorer les pratiques de codage pour les applications logicielles embarquées.

Concernant les techniques d'émulation et d'accélération matérielles, l'américain Tharas Systems exposait ses nouveaux systèmes Hammer Class S et Class M dotés respectivement de 64 et 256 millions de portes Asic. Ces accélérateurs de vérification matériels supportent désormais le standard SCE-MI (Standard co emulation - modeling interface), ce qui permet notamment d'accélérer l'analyse d'un modèle transactionnel. Quant au français Eve Engineering, il montrait les nouvelles possibilités de clustering automatique offertes sur sa plate-forme Zebu d'émulation et de prototypage basée sur des FPGA. Le support du standard SCE\_MI 1.1, la possibilité de connecter le système de vérification au niveau RTL VCS de Synopsys et le support des assertions du langage SystemVerilog sont aussi au programme de la nouvelle version de Zebu.

Mais cette année, c'est sans conteste vers la jeune société Calypto que se sont tournés la plupart des regards. En effet, son outil SLEC est une solution de vérification d'équivalence fonctionnelle entre un code écrit en SystemC et un code RTL, ou entre deux codes RTL. C'est une brique essentielle dans un flot ESL, d'où l'intérêt suscité par Calypto à la Dac (voir p.19).

Enfin, les visiteurs ont pu voir

*Suite p.14*



**Le support du standard SCE-MI sur cet émulateur-accelérateur matériel Hammer de Tharas Systems permet de déboguer au niveau transactions les aspects matériel et logiciel d'une conception.**

► fois l'émergence des techniques d'analyse temporelle statistique d'un circuit, avec notamment l'outil de Magma Blast Yield, mais aussi l'arrivée de deux jeunes sociétés américaines, Extreme DA et Blade, qui proposent les premiers outils commerciaux utilisant cette approche destinée aux conceptions en 90 nm et surtout aux futurs circuits en 65 nm.

## Gérer la consommation

Parmi les autres centres d'intérêt des concepteurs, la prise en compte de la consommation d'un circuit pendant la conception et

les méthodes pour réduire celle-ci est un des sujets les plus brûlants du moment. Ainsi, la société allemande ChipVision lançait la version 2005.1 de son logiciel Orinoco, une solution d'optimisation de la consommation au niveau système. Toujours au niveau système, Sequence Design profitait du salon pour dévoiler ses projets dans ce domaine: fournir aux utilisateurs un outil de création automatique de modèles de consommation d'une conception écrite en SystemC. Avec ce nouveau produit, dont la sortie est prévue à la fin de cette année, Sequence pourra alors proposer

grâce à ses autres outils (Power Theater, Cool Time et Cool Power) un flot complet de gestion de la consommation à toutes les étapes de la conception, des niveaux d'abstraction les plus élevés jusqu'aux portes.

De son côté, l'américain Golden Gate Technology proposait ses logiciels: Power Plan Gold, qui travaille au niveau logique avant les phases de placement-routage pour concevoir des grilles d'alimentation optimisées; et Power Optimize Gold, qui œuvre pendant les phases d'implantation afin de réduire notamment les courants de fuite, tout en prenant

en compte les contraintes de délais et d'intégrité de signal de la conception. Dans ce domaine, le nouveau logiciel PsiWinder d'Apache Design assure une analyse concurrente de l'intégrité de signal, de la consommation, des chutes de tension et des bruits liés aux plans de masse en se basant sur des modèles Spice. Enfin, citons la jeune société Azuro qui lançait sur le salon son produit PowerCentric, une solution d'implantation de réseau d'horloge basse consommation, après la phase de placement et avant le routage.

FRANÇOIS GAUTHIER

## Conversion d'énergie

# PCIM: une édition de bonne facture

*Une manifestation fréquentée et plutôt riche en annonces, notamment en technologies de semiconducteurs et en modules de tous types, tel est le constat qu'on pourrait sommairement établir à propos de PCIM, vingt-sixième du nom.*

L'une des tendances esquissée lors de la dernière manifestation PCIM concernait le vif intérêt suscité par les solutions de conversion d'énergie à fort niveau d'intégration. Un exemple nous était donné cette année par la plate-forme d'onduleurs de forte puissance (jusqu'à 900 kW), à refroidissement par air forcé, Semikube B6Ci de Semikron, destinée aux applications moteur. Semikube tire profit, comme son nom le suggère, d'une construction modulaire «en cubes» et d'un dispositif d'interconnexion de puissance à très faible inductance. La forme cubique des blocs autorise une installation horizontale ou verticale dans une armoire. Pour garantir une espérance de vie élevée et éviter la création de points chauds, toute la gamme comporte des condensateurs ventilés. Semikube, dont le concept a été,



rappelons-le, dévoilé pour la première fois en France en décembre 2005 lors du salon Elec, satisfait ainsi aux exigences actuelles du marché en termes de standardisation, de compacité, de flexibilité et de maintenabilité. Pour des raisons de coût, le nombre de pièces constitutives des membres de la gamme est volontairement réduit, que ce soit pour le module IGBT (Semitrans) et le pilote (Skyper) ou pour les condensateurs, ventilateurs, radiateurs et capteurs de courant.

Cette plate-forme a été améliorée avec un nouveau pilote Spyper Pro, qui ajoute notamment des fonctions de protection et de surveillance par le biais de sorties

analogiques. Elle se voit également dotée d'un sixième membre, le Semikube 1/2 pour les applications de puissance entre 60 et 110 kW. Il s'agit là d'un modèle miniature présentant un excellent rapport puissance/volume. Redresseur, onduleur, capteurs, pilotes et condensateurs tiennent dans un bloc dont l'empreinte est de seulement 154 x 306 mm.

## L'IGBT en technologie planar progresse

Pour obtenir de faibles pertes en conduction avec un IGBT haute tension, la structure avec grille en tranchée est considérée comme la plus adaptée. Il est généralement admis qu'aboutir

à des résultats du même ordre de grandeur avec une technologie planar compromettrait fortement la robustesse du composant. Or, le suisse ABB a réfuté cette affirmation avec la présentation d'une nouvelle structure de puce IGBT de type SPT (Soft punch through), baptisée SPT+. Ainsi, pour un courant de 1200 A et à température de 125°C, le module HiPak 3300V de 24 puces annoncé par la société (référence 5SNA 1500E330100) affiche une tension de déchet de 2,7 V. Un résultat à comparer avec les 3,8 V de la génération SPT antérieure. Quant aux pertes en commutation, elles s'établissent à 2250 mJ, soit un peu plus que les 2050 mJ initiaux. **Suite p.16**

► Vis-à-vis d'une technologie SPT planar usuelle, SPT+ permet en outre de diminuer la taille de la puce de 25 %, à courant constant. Ou, inversement, de supporter un courant 30 % supérieur, à taille de puce donnée. Effectivement, avec une tension de déchet de 2,1V et des pertes totales (Eoff + Eon) en commutation de 24mJ, la puce 1200V/100A de nouvelle génération occupe une surface de 121mm<sup>2</sup>, tandis que la densité de courant obtenue est de 115A/cm<sup>2</sup>. Auparavant, les mêmes résultats en pertes auraient nécessité une puce SPT de 159mm<sup>2</sup>, caractérisée par une densité de courant de 85A/cm<sup>2</sup>. En 1700V/100A, les résultats sont tout aussi



**Cet IEGT 4,5 kV, œuvre de Toshiba, fait appel à des puces dont la structure en tranchée permet d'abaisser la tension de déchet entre 0,6 et 0,7V par rapport à son équivalent en technologie planar.**

puces en tranchée dans un boîtier rond de 125mm de diamètre. La gestion thermique est simplifiée dans la mesure où la dissipation peut s'effectuer à partir des deux faces du module.

### Le module roi

Dans le domaine du module IGBT, les différents fabricants étoffent leurs catalogues. Par exemple, Eupec annonçait plusieurs nouvelles familles. Conformément à la demande actuelle vers une plus grande compacité, les Easy1B sont des modules caractérisés par une hauteur réduite à 12mm. Ceux-ci seront proposés en versions 600 et 1200V, pour des intensités comprises entre 10 et 200A, et ce dans toutes les topologies traditionnelles. Par ailleurs, l'allemand présentait une nouvelle génération de modules IGBT 3300V incluant, à l'instar des familles 1200 et 1700V antérieures, les puces IGBT3 d'Infineon et les diodes de roue libre à faibles pertes EmCon3.

Même politique d'extension de gamme chez Tyco Electronics avec ses modules flowPhase 2

*Suite p.18*

attractifs. Ils montrent qu'en dépit d'un accroissement de la densité de courant de 30 %, les pertes en conduction et en commutation chutent de 6 et 4 % respectivement.

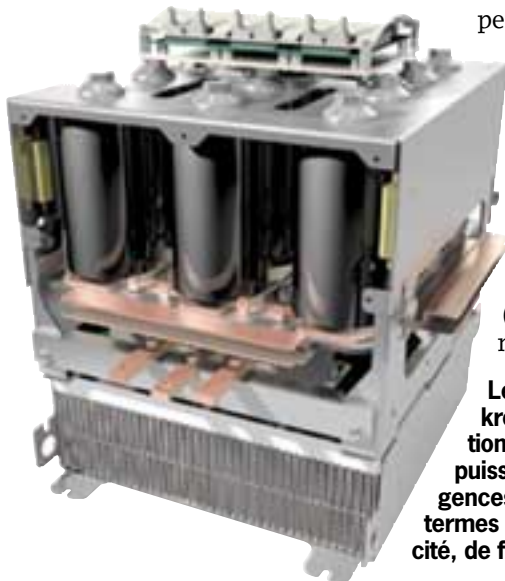
La production de volume des premiers modules 1200V tirant parti de la technologie SPT+ est envisagée pour le début 2006. Ils seront suivis par des modèles 1700V puis 3300V (vers la mi-juin pour ces derniers) et au-delà (la date n'est

**Le concept Semikube de Semikron est basé sur une conception modulaire des onduleurs de puissance. Elle satisfait aux exigences actuelles du marché en termes de standardisation, de compacité, de flexibilité et de maintenabilité.**

pas précisément connue) par des 4500 et 6500V.

Pour sa part, Toshiba présentait sa dernière réalisation, un IEGT de forte puissance réalisé selon une structure en tranchée. Il s'agit là du premier module 4,5kV à contacts pressés du japonais qui ne fait pas appel à une technologie semiconducteur planar. Outre la tenue en courant améliorée de quelque 20 %, il en résulte une baisse de la tension de déchet estimée aux alentours de 0,6 à 0,7V. Ainsi, pour un courant de 2100A, la tension de saturation est comprise entre 2,3 et 2,8V selon le mode de fonctionnement. Là, où dans des conditions de test similaires, un produit conventionnel affiche de 2,9 à 3,4V.

Ce module combine de multiples



## PCIM 2005

# Un visitorat en légère hausse

**A**vec un nombre d'exposants et de visiteurs en hausse vis-à-vis de sa devancière, cette vingt-sixième édition de PCIM (Power conversion intelligent motion), qui s'est tenue du 7 au 9 juin, à Nuremberg, aura assurément été une bonne cuvée. Répartis sur une surface étendue à quelque 10 000 m<sup>2</sup> (9 100 m<sup>2</sup> en 2004), les premiers cités étaient en effet au nombre de 283, issus de 23 pays. Soit une augmentation de 12 % par rapport à l'édition précédente qui en avait rassem-

blé 252. Notons la tendance à l'internationalisation de la manifestation, puisque 59 % des sociétés étaient non germaniques (53 % en 2004). Quant aux visiteurs, ils étaient au nombre de 5 681, à comparer avec les 5 259 de l'an passé. Seule petite ombre au tableau, les conférences techniques qui ont, pour leur part, connu une légère baisse d'audience avec 528 auditeurs (659 en 2004). Selon



PHILIPPE CORVISIER

les organisateurs, cette relative défection trouve son explica-

tion par la faible demande pour les 14 conférences de formation qui se sont déroulées les dimanche et lundi précédant l'exposition. D'ores et déjà, les organisateurs planchent sur le sujet et envisagent de prendre des dispositions pour corriger ce petit défaut dès l'an prochain.

L'édition 2006 de PCIM se tiendra du 30 mai au 1<sup>er</sup>

juin, au même lieu. ■

➤ qui montent en puissance. L'offre de Tyco s'étend désormais aux modules IGBT 1200 V demi-pont à puces en tranchée, susceptibles de délivrer 300 A en sortie, adaptés aux applications de commande moteur jusqu'à 60 kW. Présentés en boîtier standard de 17 mm, ils sont compatibles au niveau des terminaisons et de la logique d'interface avec les produits SEMiX 2 de Semikron, pour lesquels ils constituent une seconde source.

Signalons également chez Tyco, le flow90PIM 1, un module en pont triphasé dédié à la commande de moteur jusqu'à 5 kW et dont le mode de fixation s'effectue perpendiculairement au circuit imprimé.

Les produits SEMiX représentent l'une des familles phare de Semikron, en matière de modules IGBT. Ils sont désormais disponibles en configuration de pont redresseur selon une topologie non contrôlée (diode/diode) ou semi-contrôlée (diode/thyristor), pour des intensités jusqu'à 300 A et des tensions de blocage jusqu'à 1800 V. Les nouveaux venus adoptent le même profil que leurs congénères à IGBT, avec notamment une hauteur des connexions de puissance de 17 mm. De ce fait, l'association d'un pont d'entrée redresseur et d'un module IGBT dans un convertisseur s'en trouve simplifiée, en particulier au niveau de la connexion à un busbar DC, tout en induisant une réduction des inductances parasites. Les applications visées par cet ensemble concernent plus particulièrement la commande moteur (15 à 110 kW) et les alimentations de puissance.

## La résistance à l'état passant du Mosfet s'amenuise

Infineon continue, doucement mais sûrement, à faire évoluer son célèbre transistor CoolMos. Pour preuve, le dernier-né des laboratoires de l'allemand baptisé CoolMos CS Server, dont la venue a été officialisée lors de la conférence Apec (Applied power electronics conference) qui s'est tenue à Austin en mars dernier. Cette variante du CoolMos est dévolue aux alimentations des serveurs informatiques, mais



**Les Mosfet MDmesh de seconde génération de STMicroelectronics affichent des résistances à l'état passant inférieures de quelque 40% par rapport à leurs prédécesseurs.**

aussi aux applications, notamment télécoms, à forte densité de puissance. Le modèle référencé IPW60R045CS en boîtier TO-247 offre la plus faible résistance à l'état passant qui soit pour une tenue en tension de 600 V, soit 45 mΩ. Quant à la charge de grille, elle est de 150 nC. La finalité est d'obtenir des alimentations AC/DC à rendement amélioré et incidemment d'en diminuer le volume et le poids.

De son côté, STMicroelectronics profitait de l'événement pour introduire la seconde génération MDmesh (Multiple drain mesh) de Mosfet de puissance haute tension. Rappelons que MDmesh est une technologie propriétaire basée sur plusieurs drains à

bandes verticales dopées p. Les nouveaux transistors sont caractérisés par une résistance à l'état passant réduite de quelque 40% vis-à-vis de la première génération. De plus, le comportement en commutation a été amélioré. Enfin, dernier atout, ils sont aptes à supporter des courants plus importants à de faibles tensions de commande VGS. La diminution des pertes a une incidence directe sur le coût, dans la mesure où dans certaines applications un seul Mosfet MDmesh II se substituera à deux Mosfet MDmesh I mis en parallèle.

Une douzaine de références sont présentement disponibles en volume, en différents boîtiers (TO-220, TO-247, D\_PAK/I\_PAK)

**Les circuits de commande d'IGBT d'International Rectifier intègrent un ensemble de fonctions de protection permettant, vis-à-vis de solutions classiques basées sur des transformateurs ou des photocoupleurs, de réduire de moitié l'encombrement sur la carte.**



et pour des tensions de 500 ou 600 V. Les résistances à l'état passant sont de 140 ou 380 mΩ pour les modèles 500 V, et de 170 mΩ pour les 600 V. Ces Mosfet sont destinés à une large gamme d'applications (alimentations à découpage, correction du facteur de puissance...) dont les puissances s'échelonnent entre 90 et 1000 W. Autre nouveauté chez le franco-italien, une famille baptisée EBST (Emitter-switched bipolar transistors) de transistors hybrides associant un Mosfet et un transistor bipolaire en configuration cascode. Le but avoué est de profiter du meilleur des deux mondes : les faibles pertes en conduction du bipolaire et la vitesse de commutation élevée du Mosfet. Il en résulte des produits dont les pertes en conduction sont comparables à un transistor bipolaire, mais capables de fonctionner en régime de commutation dure à 130 kHz et plus. Trois produits, dont les tenues en tension sont de 1500 ou 1700 V, sont actuellement commercialisés en boîtier TO-247. Enfin, International Rectifier introduisait une famille de circuits de commande de grille d'IGBT 600 et 1200 V, dont la particularité est d'intégrer un ensemble de fonctions permettant de réduire de moitié l'encombrement sur la carte. Et ceci, par rapport aux solutions discrètes classiques basées sur des photocoupleurs ou des transformateurs. Le nombre de composants requis est de 30% moindre environ.

Ces circuits s'adressent principalement aux applications de contrôle de moteur en milieu industriel ou aux applications grand public. Ils permettent de concevoir des systèmes à faible coût dotés de protections de toutes natures : contre les courts-circuits, les surintensités et les défauts de masse.

Pour l'heure, la famille est forte d'une dizaine d'éléments proposés en versions à 600 et 1200 V. Elle consiste en circuits de commande de grille pour des configurations en demi-pont ou triphasées, et en circuits de détection de courant haute tension avec sorties analogiques et/ou PWM.

PHILIPPE CORVISIER