

CAO électronique

L'ESL démontre ses atouts sur le salon Date

Peu d'annonces majeures cette année sur le salon Date. Cependant, c'est dans le domaine du développement au niveau système, ou ESL, que les nouveautés étaient les plus nombreuses. Quant au DFM, le salon a confirmé que l'avenir est aux outils adaptés aux ingénieurs de conception.

Difficile de dégager des tendances fortes lors de l'édition 2006 de la manifestation Date, qui s'est tenue du 6 au 10 mars à Munich. Néanmoins, malgré l'absence d'annonces importantes, le salon donnait l'occasion de découvrir de nombreuses nouveautés technologiques dans l'ensemble du flot de conception d'un circuit, de la conception système à la fabrication.

Au niveau ESL (Electronic system level), un domaine où l'Europe est en pointe, la société américaine CoWare a profité du salon pour annoncer une rationalisation de son offre désormais déclinée en plates-formes. Platform Architect (ex ConvergenSC) est l'environnement de conception graphique de modèles en SystemC, Model Designer est l'environnement de modélisation et de simulation de modèles en SystemC, Processor Designer (ex LISAték) est l'outil de création d'ISS (Instruction set simulator) de processeurs ou d'accélérateurs matériels programmables. Enfin, Processing Designer (ex SPW) est dédié à la conception et à l'analyse d'algorithmes, qui peuvent ensuite être encapsulés sous la forme de blocs et intégrés dans une plate-forme de modélisation.

Parallèlement, la société montrait sa bibliothèque de modéli-



sation en SystemC des interfaces utilisées dans un modèle TLM (Transaction level modeling). Cette bibliothèque, conforme aux standards TLM 1.0 définis par l'OSCI (Open SystemC initiative) et au SystemC IEEE 1666, permet notamment de bien séparer les aspects communication, stockage et timing du comportement fonctionnel des modèles. Cette approche autorisera, entre autres, une meilleure réutilisation des modèles TLM à travers des appels de méthodes standard. C'est d'ailleurs sur ce sujet qu'un groupe de travail de l'OSCI travaille pour définir le standard TLM 2.0 (voir «Tendance», p.44). CoWare annonçait par ailleurs un accord de partenariat avec la société IdeaWorks pour la fourniture de modèles de références d'IP, notamment dans le domaine du multimédia, avec par exemple des bibliothèques H264. Summit Design, de son côté, exposait sa plate-forme de développe-

Pour la conception de circuits RF, AWR présentait son outil Analog Office 2006, avec la technologie iNet2 pour l'aide à la modélisation et à la simulation de nœuds critiques, comme ici sur cet amplificateur large bande, conçu sur un procédé Jazz SiGe60.

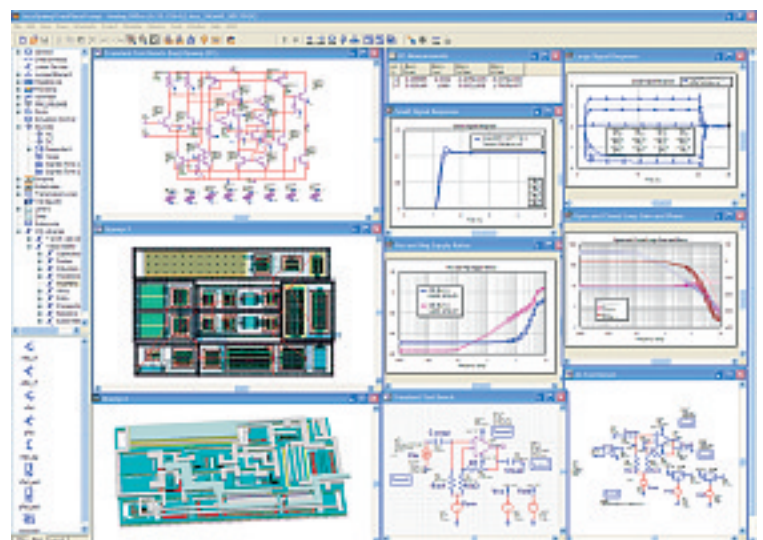
ment et de vérification SystemC Vista, récemment renforcée grâce à la technologie NitroVP acquise en décembre dernier auprès de la société CARDtools et dédiée à l'analyse des performances du logiciel embarqué. Autre apport: l'intégration du «linter» d'Actis Design, destiné au débogage statique d'un code source écrit en SystemC. En outre, Summit annonçait sur le salon la possibilité de créer à partir de Vista un code exécutable de la conception écrite en SystemC, capable de tourner sur le noyau de simulation de l'OSCI et libre d'utilisa-

tion (c'est-à-dire sans avoir à racheter une licence Vista).

Cette idée de pouvoir distribuer une version exécutable de son modèle est aussi une des avancées du produit CoFluent Studio du français CoFluent. Désormais, il est possible de transformer tout ou partie d'un modèle, créé dans CoFluent Studio, en un bloc de propriété intellectuelle capable d'être intégré dans d'autres environnements logiciels soit sous la forme de composants graphiques, soit sous la forme d'une boîte noire (code compilé en SystemC).

On le voit, partage et réutilisation de ce qui existe sont au cœur des préoccupations des concepteurs de SoC. L'annonce faite par Carbon Design de son outil SOCVSP, destiné aux utilisateurs de l'environnement de développement au niveau système Real View d'Arm, va dans ce sens. Il autorise, en effet, la compilation de modules déjà écrits en VHDL ou en Verilog en blocs exécutables (le code VHDL est encapsulé avec des wrappers en C ou SystemC) au sein de la plate-forme Real View, avec à la clé des gains en temps de simulation d'un facteur 50 à 200.

L'institut de recherche belge



Imec présentait, dans le cadre du projet MP4, une plate-forme matérielle/logicielle multiprocesseur capable de s'adapter automatiquement à son environnement pour les applications radio et multimédias, une collaboration avec CoWare concernant les modèles au niveau système et avec le français Arteris pour la mise en place de sa solution de NoC (Network on chip) sur ce prototype. Simultanément, Arteris annonçait la version 1.4 de sa technologie qui supporte désormais le bus Amba 3 AXI. Quelques jours après le salon, la société révélait que sa solution était retenue par la division Wireless Infrastructure de STMicroelectronics pour ses nouvelles générations de puces de communication.

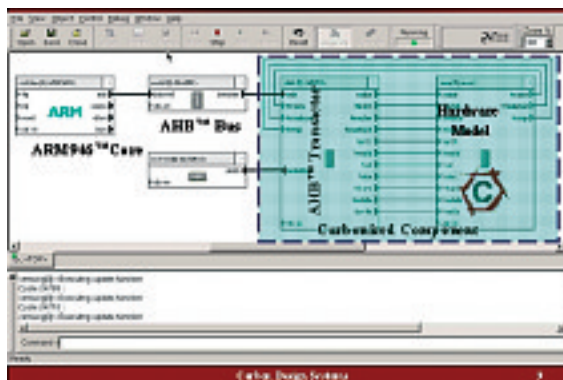
La vérification, encore et toujours

Pour sa part, Cadence dévoilait sa solution «Plan-to-closure knowledge system», qui consiste à rendre accessible sur le web un ensemble de connaissances et de pratiques concernant les techniques de vérification. Il s'agit de partager des ressources méthodologiques entre équipes spécialisées dans différents domaines et entre sites de travail. Cette solution se décompose en trois espaces: «Incisive plan-to-clo-

sure» pour le partage de ressources Cadence englobant la planification et la vérification; «My plan-to-closure», site sécurisé où les équipes peuvent rassembler leur savoir-faire, leurs méthodes et accueillir celles issues de tierces parties; et enfin «Community plan-to-closure» qui est un forum virtuel géré par les ingénieurs de Cadence.

En ce qui concerne les assertions et leur utilisation, c'est du côté des sociétés françaises qu'il fallait regarder. Ainsi, TransEDA présentait son outil Assertain, qui supporte désormais à la fois les langages PSL et SVA (System Verilog assertion). L'outil est d'ailleurs l'un des seuls du marché à procurer la fonction de couverture des assertions, écrites en PSL ou en SVA.

Quant à Temento Systems, il montrait la version 4.6 de son outil DiaLite Instrumentation, capable de supporter les assertions écrites en SVA. Cette technologie permet de créer des propriétés au sein du code VHDL, puis de générer un module de vérification de ces assertions (Assertion checker verification unit) qui sera implanté physiquement sur la cible, afin d'assurer une vérification à la vitesse



Avec la solution SOC-VSP de Carbon Design, il est possible de réutiliser des blocs écrits en RTL pour les intégrer dans l'environnement de développement au niveau système RealView d'Arm.

le Vieux Continent. La société présentait dans le même temps sa solution ZenTime-GT. Son but est d'optimiser au niveau

de fonctionnement du circuit. Côté preuve formelle, l'américain Real Intent présentait une extension de son outil Clock Intent Verification, dont l'objectif est de vérifier les problèmes de synchronisation dans les transferts de données sur les circuits à multiples domaines d'horloges. Le logiciel peut être couplé à l'environnement de débogage Verdi de Novas pour obtenir des vues graphiques et textuelles des résultats de la vérification.

Le DFM, une affaire de concepteur

Le salon était l'occasion pour de jeunes sociétés américaines de démarrer leurs opérations en Europe. C'est le cas par exemple de Zenasis Technologies, spécialisée dans les techniques d'optimisation de cellules standard, qui a décidé de s'implanter sur

transistor, de manière automatisée, le timing, la surface et les courants instantanés de fuite (le leakage) de cellules standard via l'insertion de buffer, la modification de la taille des portes ou la permutation de broches. En ce qui concerne le DFM (Design for manufacturing), c'est Mentor Graphics qui profitait de l'événement pour introduire au niveau mondial son nouvel outil Calibre LFD, un outil de DFM destiné spécifiquement aux concepteurs (voir «Actualité», p.10). Après Cadence, c'est donc le second outil de DFM d'aide aux concepteurs pour modifier leur design en fonction des contraintes de la fabrication, alors que, pour le moment, le marché des outils DFM est concentré sur les sociétés de fabrication de masques ou sur les fondeurs.

FRANÇOIS GAUTHIER

DATE 2006

Fréquentation en hausse pour les conférences, en baisse pour le salon

Pour la seconde année consécutive, c'est à Munich que le salon Date s'est déroulé en mars dernier. Rendez-vous annuel européen désormais bien établi, cette 9^e édition a été marquée par le fait que le cycle de conférences semble plus attractif que l'exposition elle-même, malgré la participation de la majorité des acteurs majeurs de la CAO. C'est donc un bilan en demi-teinte qu'affiche cette édition 2006. En effet, cette année, 4 650 participants ont fait le déplacement à Munich pour la manifestation, contre 4 700



DR

l'an passé dans la même ville. A première vue, des chiffres équivalents mais qui masquent un contraste entre, d'une part, les

personnes qui ont participé aux conférences, 1 576, en hausse de 100, et, d'autre part, les personnes qui ont exclusivement visité le salon, 1 760, contre 2 000 en 2005, soit une baisse d'environ 15%. L'événement maintient donc globalement son niveau de fréquentation, même si le désé-

quilibre entre les conférences, dont la réputation n'est plus à faire, et le salon lui-même semble se creuser.

Côté exposants, on note une certaine stabilité, puisque 98 sociétés étaient présentes cette année, contre 95 l'an passé, dont 29 pour la première fois avec, à nouveau, la présence des grands éditeurs de CAO (Synopsys, Cadence, Mentor, Synplicity, Magma...) aux côtés de nombreuses jeunes sociétés européennes et américaines.

La prochaine édition de la manifestation, qui fêtera ses dix ans, reviendra en France et se tiendra à Nice, du 16 au 20 avril 2007. ■